

特開平11-145394

(43)公開日 平成11年(1999)5月28日

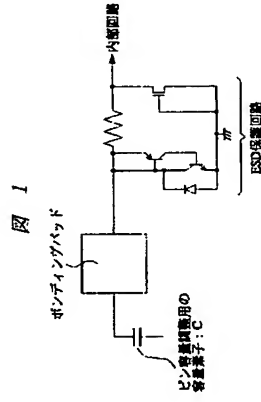
(51)Int.Cl. <sup>4</sup>	H01L 27/04	H01L 27/04	C	審査請求 未請求 請求項の概略 5 OL (全 6 頁)
	21/82	21/82	P	
	21/82	27/04	V	
			E	
(21)出願番号	特開平9-302397	(71)出願人	00005108	
		株式会社日立製作所		
(22)出願日	平成9年(1997)11月5日	東京都千代田区神田豊阿台四丁目6番地		
		(72)発明者	中川 宏	
		東京都青梅市今井2228番地 株式会社日立製作所デバイス開発センター内		
		(72)発明者	大石 真時	
		東京都青梅市今井2228番地 株式会社日立製作所デバイス開発センター内		
		(74)代理人	弁護士 筒井 大和	

## (54)【発明の名称】 半導体集積回路装置

## (37)【要約】

【課題】 半導体集積回路装置の同路動作に影響を及ぼすことなくピン容量を制御することができ、その技術を提供する。

【解決手段】 半導体集積回路装置は、半導体チップのピン容量を調整するための容量素子Cを有しており、上記容量素子Cがボンディングパッドと内部回路との間の領域でボンディングパッドに置付けされている。これによって、ピン容量の最小値は確保され、また、上記容量素子Cの容量成分は信号パス上には現れないので、容量素子Cを設けても同路動作には影響を及ぼさない。



(2)

特開平11-145394

F以下に設けられる。ここでピン容量とは、半導体チップの外部、すなわち、リードフレームから見た半導体集積回路装置の内部回路、ボンディングパッド、ワイヤなどの全容量である。

【0005】なお、シンクロナスDRAMについては、例えば、旭電機製作所「超LSIメモリ、1994年11月5日発行、伊藤清男著、P346に記載されている。

【0006】

【発明が解決しようとする課題】 しかしながら、シンクロナスDRAMにおいては、ノイズの発生を抑え、また、発生したノイズの反跳を抑えるために、インピーダンスの整合をとらなくてはならず、このため、ピン容量の最小値に加えてピン容量の最大値を規定する必要がある。

【0007】ところが、本発明者が検討したところによら、ピン容量の最小値を設定するために、単に、ボンディングパッドと内部回路との間に容量素子を接続すると、ピン容量が短絡の最大値よりも増加して同路動作に影響を及ぼすという問題が生ずる。

【0008】本発明の目的は、半導体集積回路装置の同路動作に影響を及ぼすことなくピン容量を制御することのできる技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および図面から明らかになるであろう。

【0010】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの特徴を簡単に説明すれば、次のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、半導体チップのピン容量を調整するための容量素子を有しており、上記容量素子がボンディングパッドと内部回路との間の領域でボンディングパッドに置付けされているものである。

【0012】上記した手段によれば、ボンディングパッドに容量素子を置付けすることによってピン容量の最小値が確保され、また、ボンディングパッドと内部回路との間に上記容量素子は形成されないで、容量素子の容量成分は信号パス上には現れず、同路動作には影響を及ぼさない。

【0013】

【発明の実施の形態】 以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0014】なお、実施の形態を説明するための各図において同一機能を示すものには同一の符号を付し、その繰り返しの説明は省略する。

【0015】図1は、本発明の実施の形態であるピン容量調整用の容量素子を説明するための入力端子部の回路図を示す。

【0016】半導体集積回路装置の内部回路とボンディ

## 【特許請求の範囲】

【請求項1】 半導体チップのピン容量を調整するための容量素子Cがボンディングパッドに置付けされていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記容量素子は、ボンディングパッドと内部回路との間の領域に形成されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記容量素子の容量値は、0.5〜1.5pFであることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記容量素子は、半導体基板またはウェエルの表面に形成され、MISFETのゲート電極と同様の電極を他方の電極とし、ゲート間分離用のフィードバック線と容量素子の電極層を一方の電極とし、下層の配線と他方の電極とし、前記配線と容量素子の電極層とを接続して形成されることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置であって、前記容量素子は、短絡抵抗を介して上下に位置する配線層の上下の配線層を一方の電極とし、下層の配線と他方の電極とし、前記配線と容量素子の電極層とを接続して形成されることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体チップのピン容量の調整を必要とする半導体集積回路装置に関し、特に、シンクロナスDRAM (Synchronous Dynamic Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 シンクロナスDRAMは、システムクロックと同期させて、すべての入出力情報を半導体チップの入出力側のラッチでとり込み動作させる同路動作方式であり、すべての動作モードをシステムクロックに等しいコマンド信号の組み合わせで指定できるので、従来の高速動作モード以上の高スループット性能をもつ。

【0003】すなわち、クロックパルス幅に等しい外部信号の組み合わせでチップの動作モードが決められ、このモードがチップ内のコマンドデコードで解読され、これをもとにチップ内部の動作が始まる。ここで、列アドレスバスと行アドレスバスをクロックサイクル数という形でアドレスバスから初期入力すると、バンクを切り換えても連続データが絶えず読み取れる。これらの動作は、バーストモードのアドレスをアドレスカウンタによって発生して、順次列デコードに送ることで実現されている。

【0004】従って、このシンクロナスDRAMでは、高速動作を実現するために、半導体チップのピン容量の最大値が規定されており、例えば、1/O部（入出力部）のピン容量は4〜5pF、他のピン容量は2.5pF



(5)

のメタル配線M<sub>3</sub>上にホール17を形成する。

【0046】以上の製造方法によって、本実施の形態のピン容量調整用の容量素子Cを有するシンクロナスDRAMが完成する。

【0047】このように、本実施の形態によれば、メモリのメモリセル選択用MISFETおよび周辺回路のMISFETのゲート電極と同様の導電膜3を、一方の電極とし、半導体基板1を他方の電極とし、フィードバック導電膜2を容量絶縁膜とする容量素子Cをボンディングパッドに重ね付けして容量成分を形成し、この容量素子Cを最薄設出することによってピン容量の最小値を設定することができる。さらに、上記容量素子Cはボンディングパッドと同部回路との間には設けられていないので、容量素子Cの容量成分は信号パス上には現れず、容量素子Cを設けても回路動作には影響を及ぼさない。

【0048】以上、本発明者によってなされた発明を説明するが、本発明の形態に基き且具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0049】例えば、前記実施の形態では、ピン容量調整用の容量素子は、メモリのメモリセル選択用MISFETおよび周辺回路のMISFETのゲート電極と同様の導電膜を一方の電極とし、半導体基板を他方の電極とし、フィードバック導電膜を容量絶縁膜としたが、上記他方の電極を半導体基板に設けたウェル領域とし、また、層間絶縁膜を介して上段に位置するメタル配線の上層のメタル配線を一方の電極とし、下層のメタル配線や他方の電極とし、上層層間絶縁膜を容量絶縁膜としてピン容量調整用の容量素子を構成してもよい。

【0050】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

【図1】

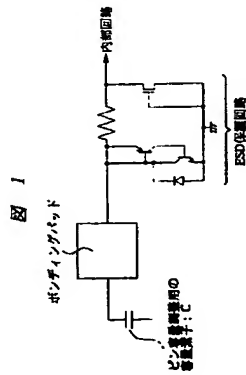


図1

【図2】

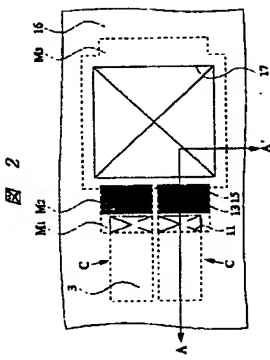
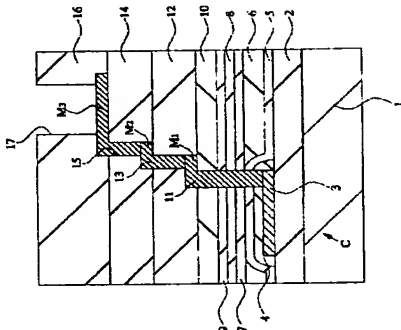


図2

(6)

【図3】

図3



以下のとおりである。

【0051】本発明によれば、回路動作に影響を及ぼすことなくボンディングパッドに重ね付けされた容量素子によってピン容量を調整することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態であるピン容量調整用の容量素子を説明するための入力端子部の回路図を示す。

【図2】本発明の実施の形態であるピン容量調整用の容量素子の製造方法を説明するための半導体基板の要部断面図である。

【図3】図2のA-A'線における半導体基板の要部断面図である。

【符号の説明】

1 半導体基板

2 絶縁膜

3 導電膜

4 絶縁膜

5 第1の酸化シリコン膜

6 第1のBPSC膜

7 第2の酸化シリコン膜

8 第3の酸化シリコン膜

9 第4の酸化シリコン膜

10 第4のRPSG膜

11 第4のコンタクトホール

12 第1の層間絶縁膜

13 スルーホール

14 第2の層間絶縁膜

15 スルーホール

16 パッシベーション

17 ホール

C 容量素子

M<sub>1</sub> 第1層目のメタル配線

M<sub>2</sub> 第2層目のメタル配線

M<sub>3</sub> 第3層目のメタル配線